

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-047262

(43)Date of publication of application : 18.02.2000

(51)Int.Cl.

G02F 1/136
H01L 29/786

(21)Application number : 10-218055

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.07.1998

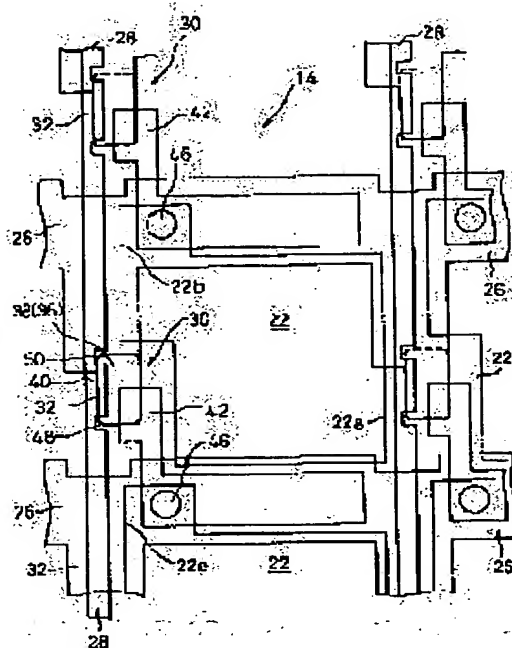
(72)Inventor : ASADA KATSUSHIGE

(54) LIQUID CRYSTAL DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To satisfy high definition and high numerical aperture, and to prevent elements from being destroyed by static electricity.

SOLUTION: This liquid crystal display panel has a constitution, wherein it has a pair of substrates and liquid crystal interposed between the pair of substrates; one of the pair of substrates has a gate bus line 26, plural drain bus lines 28 arranged in the direction perpendicular to the gate bus line, plural pixel electrodes 22, and plural thin film transistors 30; each thin film transistor is provided with a gate electrode 32 connected with the gate bus line, a gate insulating layer, a semiconductor activating layer 36, a channel protecting film 38, a drain electrode 40 formed of a part of the drain bus line, and a source electrode 42 connected with the pixel electrodes; and at least either the drain electrode or the source electrode has constrictions 48, 50 in the position overlapping the end face of the semiconductor activating layer.



LEGAL STATUS

[Date of request for examination] 18.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3308498

[Date of registration] 17.05.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-47262

(P2000-47262A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	5 0 0 2 H 0 9 2
H 0 1 L 29/786		H 0 1 L 29/78	6 1 6 S

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21) 出願番号 特願平10-218055

(22) 出願日 平成10年7月31日 (1998.7.31)

(71) 出願人 000003223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 浅田 勝滋

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 10007/517

弁理士 石田 敬 (外3名)

F ターム (参考) 2H092 JA28 JA29 JA34 JA37 JA41
JA42 JA45 NA01 NA07 NA14
NA29

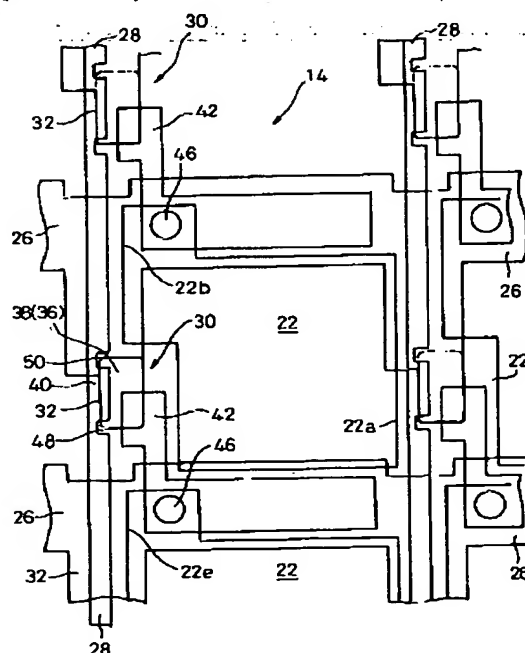
(54) 【発明の名称】 液晶表示パネル

(57) 【要約】

【課題】 液晶表示パネルに関し、高精細、高開口率を満足することができ、且つ静電気による素子破壊が生じないようにすることを目的とする。

【解決手段】 一对の基板と、該一对の基板の間に挿入された液晶とを含み、該一对の基板の一つの基板は、複数のゲートバスライン26と、該ゲートバスラインに対して直交する方向に配置された複数のドレインバスライン28と、複数の画素電極22と、複数の薄膜トランジスタ30とを有し、各薄膜トランジスタは、ゲートバスラインに接続されたゲート電極32と、ゲート絶縁層と、半導体活性層36と、チャネル保護膜38と、ドレインバスラインの一部によって形成されたドレイン電極40と、画素電極に接続されたソース電極42とを備え、該ドレイン電極及び該ソース電極の少なくとも一方は、半導体活性層の端面と重なる位置にくびれ48、50を有する構成とする。

図1



【特許請求の範囲】

【請求項1】 一对の基板と、該一对の基板の間に挿入された液晶とを含み、該一对の基板の一つの基板は、複数のゲートバスラインと、該ゲートバスラインに対して直交する方向に配置された複数のドレインバスラインと、複数の画素電極と、複数の薄膜トランジスタとを有し、各薄膜トランジスタは、ゲートバスラインに接続されたゲート電極と、ゲート絶縁層と、半導体活性層と、チャネル保護膜と、ドレインバスラインによって形成されたドレイン電極と、画素電極に接続されたソース電極とを備え、該ドレイン電極及び該ソース電極の少なくとも一方は、半導体活性層の端面と重なる位置にくびれを有することを特徴とする液晶表示パネル。

【請求項2】 該ドレイン電極が半導体活性層の端面と重なる位置にくびれを有することを特徴とする請求項1に記載の液晶表示パネル。

【請求項3】 該ソース電極が半導体活性層の端面と重なる位置にくびれを有することを特徴とする請求項1に記載の液晶表示パネル。

【請求項4】 該ドレイン電極及び該ソース電極とがともに半導体活性層の端面と重なる位置にくびれを有することを特徴とする請求項1に記載の液晶表示パネル。

【請求項5】 各薄膜トランジスタは2つのゲートバスラインの間に配置され、該ゲート電極は一方のゲートバスラインからドレインバスラインに沿って延び、ソース電極はゲート電極が延びるのと同じ方向に他方のゲートバスラインへ向かって延び、該他方のゲートバスラインと重畳する位置において画素電極に接続されることを特徴とする請求項1に記載の液晶表示パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス駆動の液晶表示パネルに関する。

【0002】

【従来の技術】液晶表示パネルは、一对の基板の間に挿入された液晶を含み、液晶に電圧を印加することにより、画像を形成するものである。アクティブマトリクス駆動の液晶表示パネルは、アクティブ素子として複数の薄膜トランジスタ(TFT)を含む。薄膜トランジスタは、ゲートバスライン及びドレインバスラインと、画素電極とともに、一方の基板に形成されている。

【0003】各薄膜トランジスタは、ゲートバスラインに接続されたゲート電極と、ゲート絶縁層と、半導体活性層と、チャネル保護膜と、ドレインバスラインに接続されたドレイン電極と、画素電極に接続されたソース電極とを備える。チャネル保護膜は半導体活性層の中央部分を覆い、ドレイン電極及びソース電極はチャネル保護膜の外側で半導体活性層に接続されている。

【0004】典型的な薄膜トランジスタでは、ゲートバスラインから垂直に腕又は突起を延ばしてゲート電極と

し、ドレインバスラインから垂直に腕又は突起を延ばしてドレイン電極とし、そして、ソース電極を半導体活性層のドレイン電極とは反対側に設けて画素電極に接続する。この場合、ゲート電極はゲートバスラインよりも内側に延びだして画素電極を形成すべき領域を狭め、ドレイン電極はドレインバスラインよりも内側に延びだして画素電極を形成すべき領域を狭め、開口率が低下する。また、ドレイン電極、ソース電極、及びソース電極と画素電極との接続部とが一直線上に位置していると、画素電極を形成すべき領域がさらに狭くなり、開口率がさらに低下する。

【0005】これに対して、薄膜トランジスタのドレイン電極をドレインバスラインによって形成したものがある。つまり、ドレイン電極は、ドレインバスラインから垂直に延ばした腕又は突起によって形成されるのではなく、まっすぐなドレインバスラインの一部として形成される。これによって、ドレインバスラインよりも内側の画素電極を形成すべき領域が拡大され、開口率が向上する。この場合、ソース電極をドレインバスラインに対して平行に設けるとさらに開口率が向上する。

【0006】

【発明が解決しようとする課題】近年、液晶表示パネルは、より明るく、より細かな情報を表示する必要から、高精細、高開口率を要求されており、これは配線パターンの微細化、薄膜トランジスタの小サイズ化が進んでいる。薄膜トランジスタのサイズが小さくなると、ドレイン電極と半導体活性層との電氣的接触点と、半導体活性層とソース電極との電氣的接触点との間の距離が短くなり、ドレインバスラインから侵入した静電気が半導体活性層に放電し、素子破壊が生じることがある。特に、薄膜トランジスタのドレイン電極をドレインバスラインによって形成した場合、ドレイン電極と半導体活性層の端面とが交差し、この交差点がドレイン電極と半導体活性層との電氣的接触点となるので、ドレイン電極と半導体活性層との電氣的接触点と、半導体活性層とソース電極との電氣的接触点との間の距離が特に短くなり、素子破壊が生じやすい。

【0007】本発明の目的は、高精細、高開口率を満足することができ、且つ静電気による素子破壊の生じない液晶表示パネルを提供することである。

【0008】

【課題を解決するための手段】本発明による液晶表示パネルは、一对の基板と、該一对の基板の間に挿入された液晶とを含み、該一对の基板の一つの基板は、複数のゲートバスラインと、該ゲートバスラインに対して直交する方向に配置された複数のドレインバスラインと、複数の画素電極と、複数の薄膜トランジスタとを有し、各薄膜トランジスタは、ゲートバスラインに接続されたゲート電極と、ゲート絶縁層と、半導体活性層と、チャネル保護膜と、ドレインバスラインの一部によって形成され

たドレイン電極と、画素電極に接続されたソース電極とを備え、該ドレイン電極及び該ソース電極の少なくとも一方は、半導体活性層の端面と重なる位置にくびれを有することを特徴とするものである。

【0009】この構成においては、ドレイン電極及びソース電極の少なくとも一方は、半導体活性層の端面と重なる位置にくびれを有する。例えばドレイン電極について述べると、ドレイン電極は基本的にまっすぐなドレインバスラインの一部分として形成されたものであるが、ドレイン電極の半導体活性層の端面と重なる位置にくびれが形成されているので、ドレイン電極と半導体活性層とはこのくびれにおいては電氣的に接触せず、両者の電氣的な接触点はソース電極から遠ざかる方向に移動する。その結果、ドレイン電極と半導体活性層との電氣的接触点と、半導体活性層とソース電極との電氣的接触点との間の距離が長くなり、ドレインバスラインから侵入した静電気が半導体活性層に放電することがなくなり、素子破壊が生じなくなる。また、ソース電極にくびれを設ける場合にも同様に、ドレイン電極と半導体活性層との電氣的接触点と、半導体活性層とソース電極との電氣的接触点との間の距離が長くなり、ドレインバスラインから侵入した静電気が半導体活性層に放電することがなくなり、素子破壊が生じなくなる。

【0010】このようにして、本発明では、ドレイン電極及び／又はソース電極にくびれを設けることにより、チャネルオフ時もしくは非駆動時の実効的なソース電極とドレイン電極との間の距離を大きくとることで、マスク数増加などのコスト上昇やパネル開口率の低下を引き起こすことなく、液晶表示パネルの静電気による素子耐圧を向上させることができ、パネルの製造歩留り及び表示品質向上を実現するものである。

【0011】

【発明の実施の形態】図1は本発明の第1実施例の液晶表示パネルを示す図であり、図2は液晶表示パネルを示す断面図である。図2において、液晶表示パネル10は一对の透明なガラス基板12、14と、これらの基板12、14の間に挿入された液晶16を含む。一方の基板12は電極18及び配向膜20を含み、他方の基板14は電極22及び配向膜24を含む。例えば、一方の基板12の電極18は共通電極であり、他方の基板14の電極22は画素電極である。共通電極18と画素電極22との間に電圧を印加して画像を形成する。

【0012】図1は画素電極22を有する基板14に設けられたアクティブマトリクス構成を示す図である。図3は1つの薄膜トランジスタ30の部分拡大した図1の部分拡大図である。基板14は、行方向に延びる複数のゲートバスライン26と、ゲートバスライン26に対して直交するように列方向に延びる複数のドレインバスライン28と、ゲートバスライン26とドレインバスライン28とによって概ね区画された領域に配置された

複数の画素電極22と、画素電極22を駆動するための複数の薄膜トランジスタ(TFT)30とを有する。

【0013】図4は図3の線IV-IVに沿った薄膜トランジスタの断面図、図5は図3の線V-Vに沿った薄膜トランジスタの断面図である。各薄膜トランジスタ30は、ゲートバスライン26に接続されたゲート電極32と、ゲート絶縁層34と、半導体活性層36と、チャネル保護膜38と、ドレインバスライン28によって形成されたドレイン電極40と、画素電極22に接続されたソース電極42とを備える。ドレイン電極40及びソース電極42の互いに向き合った内方部分がチャネル保護膜38に載り、ドレイン電極40及びソース電極42の外方部分がそれぞれ半導体活性層36の外方部分に接触している。半導体活性層36の中央部分がチャネルを形成する。

【0014】絶縁層44が薄膜トランジスタ30及びバスライン26、28を覆って設けられ、画素電極22は絶縁層44の上に形成される。図1に示されるように、コンタクトホール46が絶縁層44に設けられ、画素電極22はコンタクトホール46を介してソース電極42に接続される。さらに、この基板14には図2に示した配向膜24が形成される。

【0015】例えば、ゲートバスライン26及びゲート電極32はCrの層として基板14の表面に形成される。ゲート絶縁層34はSiNの層であり、半導体活性層36はa-Siの層であり、チャネル保護膜38はSiNの層である。ドレインバスライン28、ドレイン電極40及びソース電極42は、n+a-Si及びTi/Al/Tiの多層構造である。

【0016】このアクティブマトリクス基板14は下記の手順で作られる。(a) ガラス基板14にCr膜150nmをスパッタ法により成膜し、ゲートバスライン26及びゲート電極32を形成する。(b) P-CVD法により、ゲート絶縁膜32をSiNxで400nm、半導体活性層36をa-Siで300nm、チャネル保護膜38をSiNxで120nmを連続的に積層成膜する。(c) チャネル保護膜38形成のため、ゲート電極32による背面露光によるセルフアライメント及びフォトリソによりチャネル上のみレジストパターンを形成する。(d) レジストパターンにより、チャネル保護膜38をエッチングする。続いて、レジストを剥離、除去して、表面の自然酸化膜を除去するため、希フッ酸で10sec程度エッチングする。

【0017】(e) ドレインバスライン28、ドレイン電極40及びソース電極42のため、オーミックコンタクト層のn+a-Si、及びTi/Al/Tiを順次積層成膜する。(f) ドレインバスライン28、ドレイン電極40及びソース電極42の形状に合わせてレジストパターンニングを行う。(g) プラズマエッチング法により、Ti/Al/Ti、n+a-Si、a-Siを順次エッチ

ングする。(h) P-CVD法により、保護膜44をSiNxで330nmの厚さで形成する。

【0018】(i) フォトリソを塗布し、コンタクトホール46の形状にパターニングする。(j) プラズマエッチング法により、保護膜44をエッチングし、コンタクトホールを形成する。(k) スパッタ法により、ITOを70nm成膜する。(l) フォトリソを全面に塗布し、画素電極22の形状にパターニングする。(m) ウェットエッチング法により、ITOをエッチング、除去する。

【0019】図1及び図3に示されるように、各薄膜トランジスタ30は隣接する2つのゲートバスライン26の間で、(図1で見て) 下方のゲートバスライン26近くの位置に配置される。ゲート電極32は隣接する2つのゲートバスライン26のうちの(図1で見て) 上方のゲートバスライン26からドレインバスライン28に沿って下向きに延びる。図3においては、ゲート電極32の一端面が32aによって示され、半導体活性層36の先端面が36aによって示されている。図3及び図5に示されるように、ゲート電極32の先端面32aは半導体活性層36の端面36aと垂直に整列した位置にある。同様に、チャネル保護膜38の端面もこれらの端面32a、36aと整列した位置にある。さらに、半導体活性層36は他の端面36b(図3)を有し、チャネル保護膜38も同様の他の端面を有する。

【0020】図1に示されるように、隣接する2つのゲートバスライン26及び隣接する2つのゲート電極32は、ほぼ矩形の枠を形成する。画素電極22は4辺を含む概ね矩形の部分22aと、この矩形の部分22aの対角線の延長上に突出した突出部分22bとを有する。画素電極22の概ね矩形の部分22aがこの矩形の枠に配置され、画素電極22の突出部分22bはゲートバスライン26と重なる位置に形成される。コンタクトホール46は突出部分22bの位置に設けられる。

【0021】薄膜トランジスタ30はドレインバスライン28と重なる位置に形成されている。ソース電極42はゲートバスライン26とは平行な方向にはあまり出っ張ることなく、ドレインバスライン28と平行に下向きに延びる。ソース電極42は下向きに延びた後、直角に曲げられて下側のゲートバスライン26と重なるように延びる。

【0022】このように、ゲートバスライン26及びゲート電極32はほぼ矩形の枠を形成し、薄膜トランジスタ30はドレインバスライン28寄りの位置に形成され、画素開口部を形成すべき領域内に突出する部材が少ないので、開口率の高い液晶表示装置を実現することができる。また、ゲートバスライン26及びゲート電極32が遮光膜として作用し、薄膜トランジスタ30の部分以外には従来のブラックマトリクスを設ける必要がないので、開口率の高い液晶表示装置を実現することができ

る。

【0023】図1及び図3に示されるように、ドレインバスライン28は基本的にまっすぐな帯状の導体として形成される。ドレイン電極40はドレインバスライン28から横に突出することなく、まっすぐなドレインバスライン28の一部分である。ドレイン電極40はドレインバスライン28の薄膜トランジスタ30の位置する部分である。ドレイン電極40(又はドレインバスライン28)は、半導体活性層36及びチャネル保護層38の上を半導体活性層36の端面36a、36bと交差して延びる。

【0024】本発明においては、ドレイン電極40は半導体活性層36の端面36a、36bと重なる位置にくびれ48、50を有する。くびれ48、50はドレイン電極40(又はドレインバスライン28)のソース電極42に対面する側に半導体活性層36の端面36a、36bを迂回するように設けた切り欠きである。くびれ48、50の作用について説明する。図4に示されるように、ドレイン電極40及びソース電極42の外方部分がそれぞれ半導体活性層36の外方部分に接触し、チャネルを形成している。ドレイン電極40及びソース電極42の内方部分はそれぞれチャネル保護膜38に載っており、ドレイン電極40及びソース電極42はチャネル保護膜38上で半導体活性層36に電気的に接触しない。しかし、もしドレイン電極40にくびれ48、50がないと、ドレイン電極40の内方部分は半導体活性層36の端面36aに接触することになる。すなわち、ドレイン電極40の内方部分は、図5において破線40によって略示されているように、チャネル保護膜38の両端において下向きに延び、半導体活性層36の端面36aに接触する。

【0025】従って、ドレイン電極40にくびれ48、50がない場合のドレイン電極40と半導体活性層36の端面36aとの接触点の一例が図3にAによって示され、ソース電極42の半導体活性層36の端面36aの一例が図3にBによって示され、接触点Aと接触点Bとの間の距離1が、非常に短くなる(図示の距離A-Bは接触点間の最短距離である)。ドレイン電極40-半導体活性層36-ソース電極42間の距離がこのように小さいと、ドレインバスライン28に侵入した静電気が半導体活性層36で放電し、薄膜トランジスタ30が破壊されることがある。

【0026】本発明では、ドレイン電極40にくびれ48が設けられ、ドレイン電極40が半導体活性層36の端面36aと接触しない(あるいは接触点がソース電極から遠い側へ移動する)。従って、ドレイン電極40と半導体活性層36との接触点は図3のCになり、ドレイン電極40-半導体活性層36-ソース電極42間の距離Lは長くなる。ドレイン電極40-半導体活性層36-ソース電極42間の距離Lがある程度以上長ければ、

ドレインバスライン28に侵入した静電気はドレインバスライン28の容量で吸収され、薄膜トランジスタ30が破壊されることがなくなる。このようにして、耐絶縁性を向上させ、静電破壊を防止する。

【0027】また、もう一方のくびれ50についてもドレイン電極40と半導体活性層36の端面36bとの接触点をずらし、ドレイン電極40-半導体活性層36-ソース電極42間の距離を長くする効果がある。なお、ドレイン電極40にくびれ48、50を設けることにより、ドレインバスライン28の抵抗が増大するが、くびれ48、50は非常に限られた領域にあるので、ドレインバスライン28の抵抗の増加は許容できる範囲内にすることができる。

【0028】実施例では、素子分離工程（上記の工程(f)）のパターンニングにおいてドレイン電極40にくびれ48、50を設ける。これにより、開口率の低下を伴わずに、十分に長いソース-ドレイン間距離を実現できる。ドレインバスラインを全体的に細くすることにより、同様の効果を実現できるが、そうした場合、バスライン抵抗が高くなりすぎ、表示品質が低下する。本発明によれば、液晶表示パネルのドレイン側より与えられる静電気に対する静電耐圧の向上が実現できた。

【0029】図6は本発明の第2実施例の液晶表示パネルを示す図である。図1の実施例においてはドレイン電極40に2つのくびれ48、50が設けられていたのに対して、この実施例においてはドレイン電極40に1つのくびれ48が設けられている。このくびれ48はソース電極42が半導体活性層36の端面36aと交差する側に設けられている。作用は前の実施例とはほぼ同様である。

【0030】図7は本発明の第3実施例の液晶表示パネルを示す図である。図1の実施例においてはドレイン電極40にくびれ48、50が設けられていたのに対して、この実施例においてはソース電極42にくびれ52が設けられている。この場合には、くびれ52はソース電極42の半導体活性層36の端面36aとの接触点をドレイン電極40から遠ざかる方向へずらすことになり、ドレイン電極40-半導体活性層36-ソース電極42間の距離を長くして、薄膜トランジスタ30の耐絶縁性を向上させ、静電破壊を防止する。この例は、ドレインバスラインの幅が非常に細くて、ドレイン電極40にくびれを設けるとバスライン抵抗がかなり増大して問題を生じるような場合に適用できる。

【0031】図8は本発明の第4実施例の液晶表示パネルを示す図である。この実施例においては、ドレイン電極40にくびれ48、50が設けられているとともに、ソース電極42にもくびれ52が設けられている。従って、ドレイン電極40-半導体活性層36-ソース電極42間の距離L'はかなり長くなり、薄膜トランジスタ30の耐絶縁性を向上させ、静電破壊を防止し、より大

きな静電耐圧を実現するものである。

【0032】アドバンテストのESD試験機を用いて測定した静電耐圧は、 $c=200\text{pF}$ 、 0Ω において、従来例において200Vであったものが、図8の実施例の構造のもので、400Vと倍の静電耐圧をもつことが分かった。試作に際し、プロセス条件は従来通りでフォトマスクの変更のみで製作している。これにより、静電気による素子破壊不良が大幅に減少した。また、パターン形状のみの変更で、プロセス自体の変更は不要なため、適用に際しても信頼性の向上に何ら問題の生じることなく、またコストに対する影響もわずかである。

【0033】図9は本発明の第5実施例の液晶表示パネルを示す図である。この実施例においては、ドレイン電極40にくびれ48、50が設けられているとともに、ソース電極42にもくびれ52が設けられている。さらに、ソース電極42のくびれ52においては、くびれ52の一方側の壁42aをソース電極42のコンタクトホール46を有する部分の幅と同じとし、その幅を図1から図8のものの幅よりも大きくしている。従って、ドレイン電極40-半導体活性層36-ソース電極42間の距離はかなり長くなり、薄膜トランジスタ30の耐絶縁性を向上させ、静電破壊を防止するとともに、ソース電極42の抵抗をさらに小さくすることができる。

【0034】図10は図9の変形例を示す図である。くびれ48、50、52が図9の場合と同様に設けられる。図10において、ドレインバスライン28の幅aは $5\mu\text{m}$ 、くびれ48、50の部分におけるドレイン電極40の幅bは $4\mu\text{m}$ 、よってくびれ48、50の深さは $1\mu\text{m}$ である。くびれ48、50の長さcは $4\mu\text{m}$ である。また、ソース電極42の幅dは $4\mu\text{m}$ 、幅eは $6.75\mu\text{m}$ 、幅fは $4\mu\text{m}$ 、幅gは $1.25\mu\text{m}$ であり、長さhは $5\mu\text{m}$ である。また、図10には、薄膜トランジスタ14を覆うブラックマスク(BM)が示されている。

【0035】

【発明の効果】以上説明したように、本発明によれば、開口率が高く、且つ静電耐圧の高い液晶表示パネルを得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例の液晶表示パネルを示す図である。

【図2】液晶表示パネルを示す断面図である。

【図3】薄膜トランジスタの部分拡大した図1の部分拡大図である。

【図4】図3の線IV-IVに沿った薄膜トランジスタの断面図である。

【図5】図3の線V-Vに沿った薄膜トランジスタの断面図である。

【図6】本発明の第2実施例の液晶表示パネルを示す図である。

【図7】本発明の第3実施例の液晶表示パネルを示す図である。

【図8】本発明の第4実施例の液晶表示パネルを示す図である。

【図9】本発明の第5実施例の液晶表示パネルを示す図である。

【図10】図9の例の変形例を示す図である。

【符号の説明】

10…液晶表示パネル

12、14…基板

16…液晶

18、22…電極

20、24…配向膜

26…ゲートバスライン

28…ドレインバスライン

30…薄膜トランジスタ

32…ゲート電極

34…ゲート絶縁層

36…半導体活性層

38…チャネル保護膜

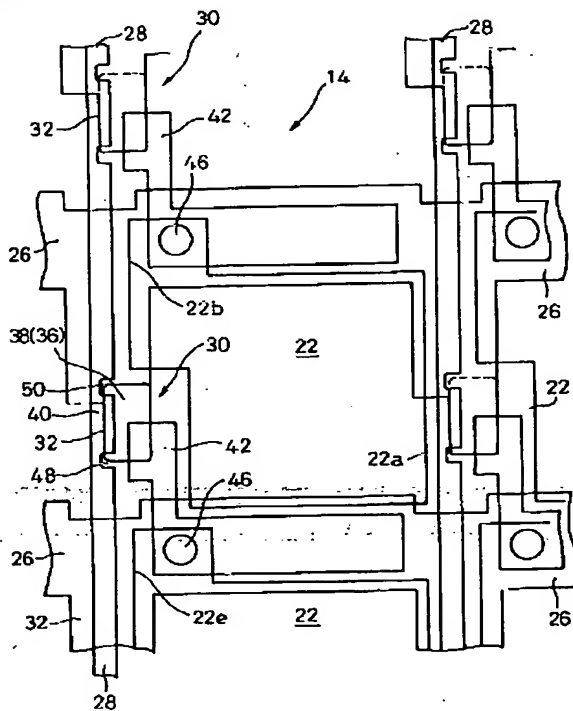
40…ドレイン電極

42…ソース電極

48、50、52…くびれ

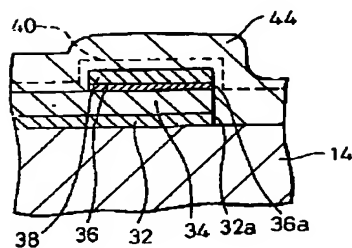
【図1】

図 1



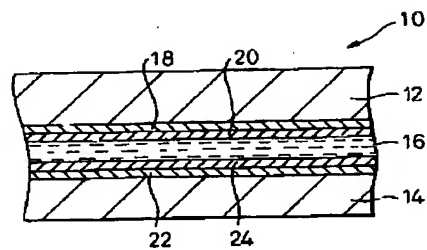
【図5】

図 5



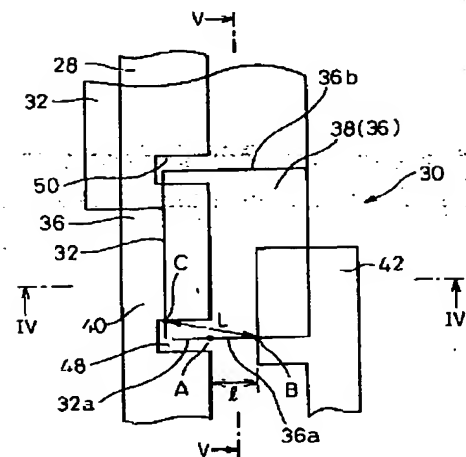
【図2】

図 2



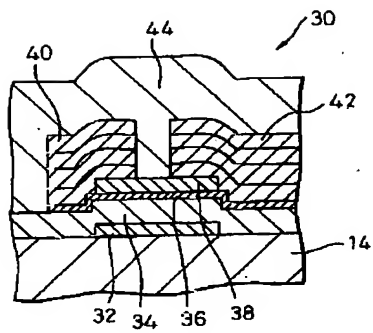
【図3】

図 3



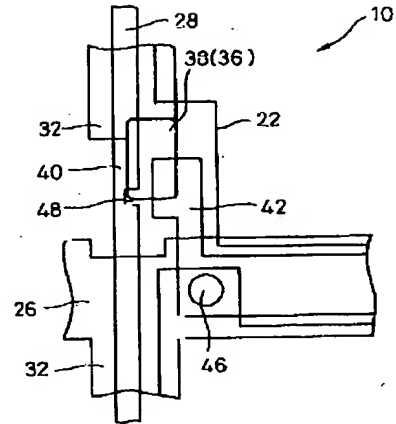
【図4】

図 4



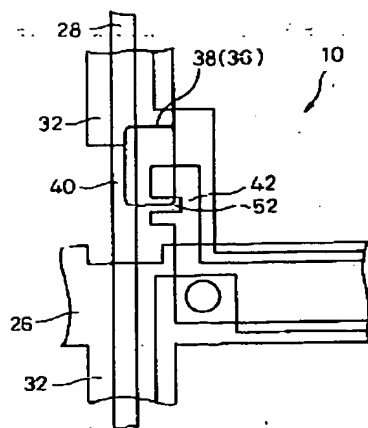
【図6】

図 6



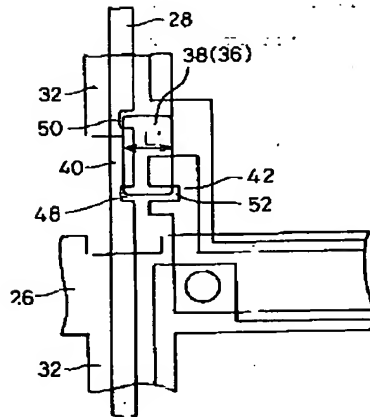
【図7】

図 7



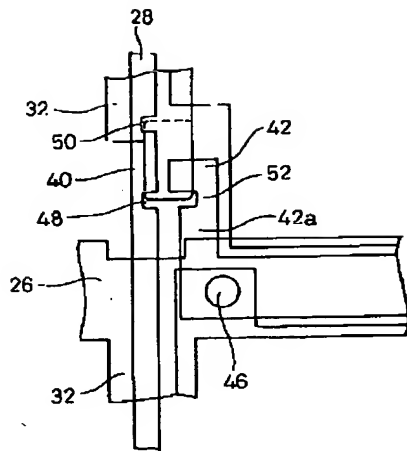
【図8】

図 8



【図9】

図 9



【図10】

図 10

